正向高压理想二极管控制器

产品描述

CSV2557是一款正向高压理想二极管控制器，通过控制驱动外部N沟道MOSFET来替代肖特基二极管。在ORING电路和大电流应用中，CSV2557可以降低其功耗、散热、电压损耗和PCB板面积。

CSV2557可轻松实现ORING电源电路，以增加整个电源系统的可靠性。在二极管并联应用中，CSV2557控制着MOSFET两端的正向压降，来保障电流从一条路径平稳传输到另一条路径而不引起振荡。如果电源出现故障或短路，快速关断功能可以最大限度减小反向瞬态电流。

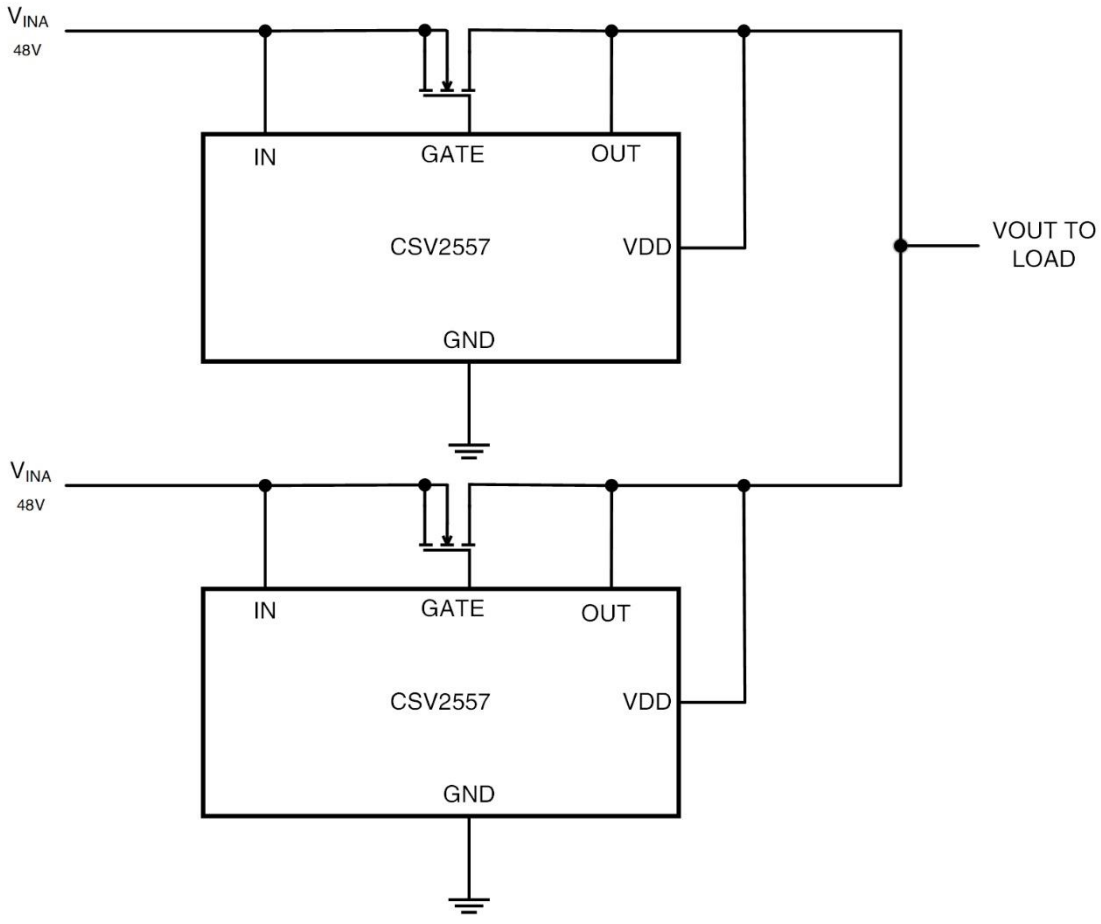
应用领域

- 冗余电源供电
- 高可用性系统
- 电信设备
- 车载系统

产品特点

- 0.5us关断时间
- 宽工作电压范围：9V~80V
- 平顺无震荡翻转
- 零反向直流电流
- DFN2×3-6L或MSOP8封装

典型应用



订购信息

产品型号	订货信息	封装类型	包装方式
CSV2557N	CSV2557N	DFN2×3-6L	编带
CSV2557M	CSV2557M	MSOP8	编带/料管

产品标识信息

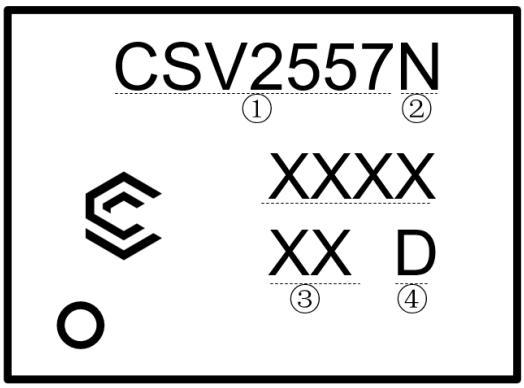
① 产品型号

② 封装形式：“N”代表DFN2×3-6L

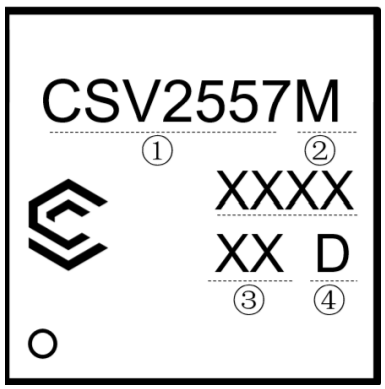
“M”代表MSOP8

③ 产品生产批号

④ 产品内部控制标志



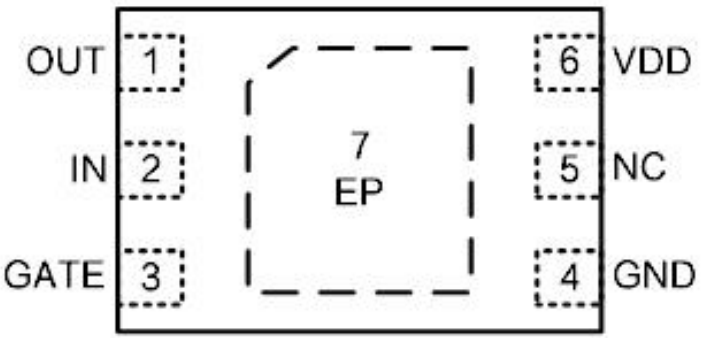
DFN2×3-6L标识示意图



MSOP8标识示意图

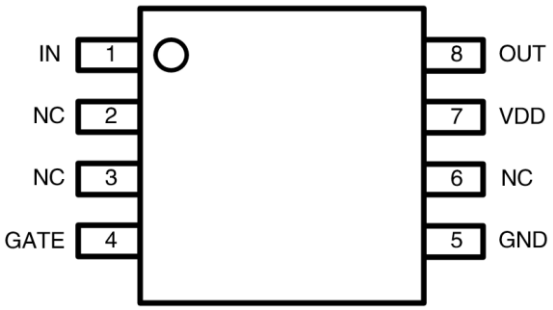
管脚定义

DFN2×3-6L



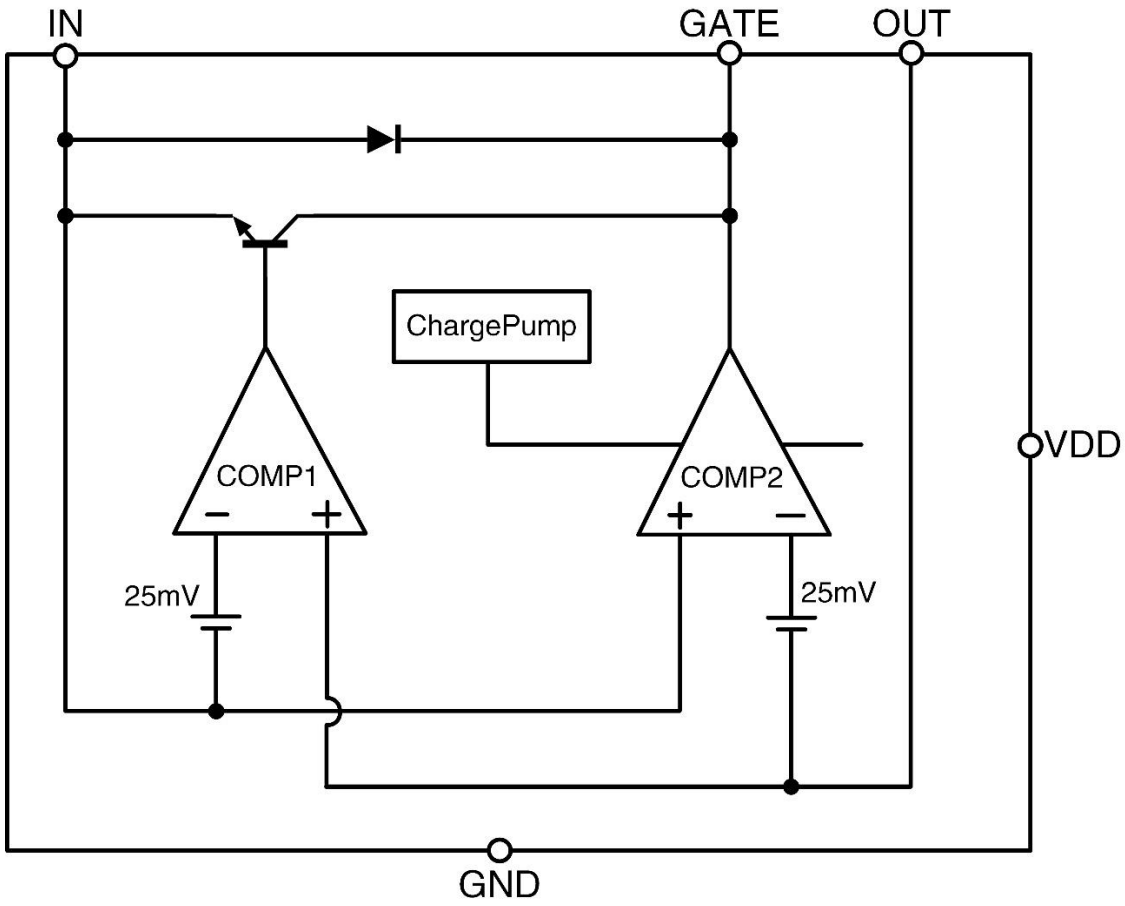
序号	名称	功能描述
1	OUT	理想二极管负极（功率管漏极）
2	IN	理想二极管正极（功率管源极）
3	GATE	功率管栅极控制输出端
4	GND	地
5	NC	空脚
6	VDD	芯片电源端
7	EP	散热片

MSOP8



序号	名称	功能描述
1	IN	理想二极管正极（功率管源极）
2	NC	空脚
3	NC	空脚
4	GATE	功率管栅极控制输出端
5	GND	地
6	NC	空脚
7	VDD	芯片电源端
8	OUT	理想二极管负极（功率管漏极）

功能框图



极限工作范围(1)

V_{IN} 电压·····-1V~100V
V_{OUT}、V_{DD} 电压·····-0.3V~100V
输出电压 V_{GATE}·····V_{IN}-0.2~ V_{IN}+15V
结温.·····150℃
存储温度范围.·····-55℃~+150℃
人体模式 ESD 能力.····· ± 2KV

(1)超过极限工作范围可能会对芯片造成永久性损坏。这些只是应力额定值，并不意味着芯片在这些或任何其他条件下的功能超出了推荐运行条件下的规定。长时间工作在极限值下可能会影响芯片的可靠性。

推荐工作范围(1)

参数	最小值	最大值	单位
V_{IN} 电压		48	V
工作结温范围	-40	125	℃

(1) 推荐工作条件是指芯片正常运行的条件。关于准确的规格和测试条件，请参考电气特性

电气特性

除非另有说明，默认连接如：V_{DD}=9V~80V，V_{OUT}=V_{DD}，V_{OUT}=V_{IN}。T=25℃

参数	符号	测试条件	最小值	典型值	最大值	单位
电源						
输入电压范围	V_{DD}		9		80	V
电源电流	I_{DD}			500	1250	uA
VIN 电源电流	I_{IN}	V_{IN} = V_{OUT} ± 1V	200	450	600	uA
OUT 电源电流	I_{OUT}	V_{IN} = V_{OUT} ± 1V		80	210	uA
MOSFET 栅极驱动 (V_{GATE}–V_{IN})	ΔV_{GATE}	V_{DD}，V_{OUT} = 20V 至 80V	10	12	15	V
		V_{DD}，V_{OUT} = 9V 至 20V	4.5	7	15	V
GATE 上拉电流	$I_{GATE(UP)}$	V_{GATE} = V_{IN}, V_{IN} – V_{OUT} = 0.1V	−14	−20	−26	uA
GATE 下拉电流	$I_{GATE(DOWN)}$	V_{GATE} = V_{IN} + 5V	1	2		A
GATE 关断时间	t_{OFF}	V_{IN} – V_{OUT} = 55mV-1V, V_{GATE} – V_{IN} < 1 V, C_{GATE} = 0pF		300	500	ns
源漏调节电压（V_{IN} – V_{OUT}）	ΔV_{SD}	V_{GATE} – V_{IN} = 2.5V	10	25	55	mV

1) 超出绝对最大额定值所列的应力可能会对器件造成永久性损坏。长时间暴露于任何绝对最大额定值可能会影响器件的可靠性和使用寿命。

2) 所有流入器件引脚的电流均为正；所有电流流出器件引脚为负极。所有电压均以 GND 为参考，除非另有规定。

3) 内部钳位将 GATE 引脚限制为高于 10V 的最小值输入或高于地 100V。将这些引脚驱动到超过钳位的电压可能会损坏器件。

概述

高可用性系统通常采用并联连接电源或电池供电以实现冗余并增强系统可靠性。采用 ORing 二极管来连接这些在负载点的电源是一种比较流行的方法。这种方法的缺点是正向的电压降和因此带来的效率损失。此电压降会减小有效的电源电压范围和显著的耗散。在高功率的应用中，采用 N 沟道 MOSFET 来代替肖特基二极管可以降低功耗，且不需要昂贵的散热器或更大的散热布局。

CSV2557 控制一个外部 N 沟道 MOSFET 来形成一个理想二极管。源漏两端的电压差由输入引脚 IN 和输出引脚 OUT 来监控，并由栅极引脚 GATE 来驱动 MOSFET 以控制其工作。实际上 MOSFET 源极和漏极就是用作理想二极管的阳极和阴极。

上电时，负载电流最初由 MOSFET 的体二极管流过。由此产生的正向压降可以在 IN 脚和 OUT 脚检测到，然后由 CSV2557 驱动 GATE 引脚打开功率管，直至正向导通压降降至 25mV。如果负载电流在 MOSFET 完全导通时产生的压降超过 25mV，那么正向压降将等于 RDS（ON）· ILOAD。

如果负载电流降低导致正向压降低至 25mV 以下，那么 MOSFET 栅极将由弱下拉电流下拉，以维持 25mV 的压降。如果电流反转，IN 脚和 OUT 脚间的压差降至–25mV 以下，CSV2557 将通过 GATE 端的强下拉来快速关断功率管。

在电源发生故障时，例如如果输出的满载电源突然短路至地，反向电流将短暂地通过处于导通状态的 MOSFET。该反向电流可以来自任何负载电容或者其它电源。在这种情况下 CSV2557 将会快速响应，在大约 500ns 内关闭 MOSFET，从而最大限度地减少对输出总线的干扰。

应用信息

➢ MOSFET 选择

CSV2557 通过驱动一个 N 沟道 MOSFET 来传导负载电流。MOSFET 的几个主要特性就是导通电阻 RDS（ON）、最大源漏端电压 BVDSS 以及栅端阈值。

栅端驱动既可以在低压应用中（9V<VDD<20V）兼容 4.5V 的逻辑电平功率管，又可以在高压应用中（20V<VDD<80V）兼容标准的 10V 阈值功率管。内部箝位电路将 GATE 脚和 IN 脚间的栅源电压限制在 15V。如果功率管的最大栅源电压小于 15V，那么需要在外部添加一个齐纳管用于箝位。

功率管的最大源漏电压 BVDSS 必须要大于电源电压，因为如果一端接地，那么电源电压将完全由功率管两端承受。

➢ 负载均衡

图 1 的应用中采用了一种被称为压降均衡的技术，并结合了多相输出和冗余供电的电路。负载电流首先从输出电压最高的一端抽取，较低输出电压的一端则在总线电压低于自身输出时才开始工作并提高电源的负载能力。25mV的调制技术可以确保输出之间平滑的负载分配而无振荡。负载均衡的程度由 RDS（ON）、电源的输出阻抗及初始输出电压共同决定。

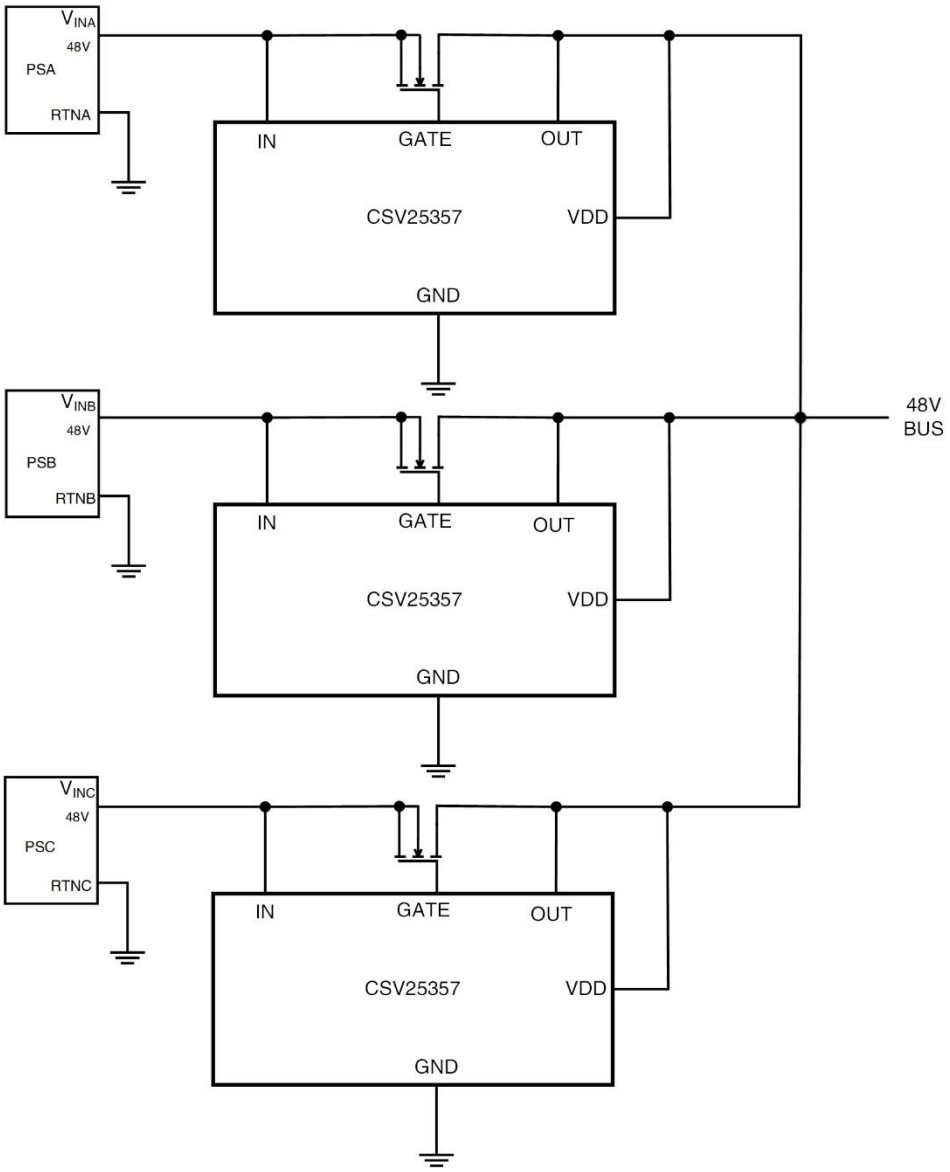


图 1：压降均衡冗余电源

➢ **输入短路故障**

进入反向偏置的理想二极管的动态响应主要取决于反向恢复期间的延时。在反向恢复期间产生了反偏电流，电流大小由寄生电阻和寄生电感决定。在反向恢复期间存储在寄生电感中的能量会传输到电路中的其他元件。而在反向恢复期间的电流压摆率最高可达 100A/μs 或更高。

在反向恢复期间，寄生电感串联在输入和输出路径上，其耦合的高压摆率电流可能造成 CSV2557 的 IN 脚和 OUT 脚的破坏性瞬变。在电路输入端出现一个零阻抗的短路路径可能造成灾难性的后果，因为这将在延时期间产生一个最大的反向电流。而当功率管最终关断了反向电流时，会在 CSV2557 的 IN 引脚产生一个负电压尖峰，并在 OUT 引脚产生一个正向尖峰。

为了防止在输入短路时造成 CSV2557 的损坏，IN 脚和 OUT 脚的保护电路如下图 2 所示。IN 引脚通过对地的箝位管来保护，而 OUT 脚通过箝位管或者 10μF 以上的旁路电容来实现保护。在低压应用中，若 BVDSS + 输入电压< 100V，那么功率管的源漏击穿也可以有效的保护 OUT 脚。

负载旁路电容和 CSV2557 的 VDD 脚间，通过寄生电感连接在一起，并形成了零阻抗路径。对于 30V 以下的应用，VDD 脚的旁路电容取 39μF，而高于 30V 的应用至少要 100μF。如果是由输出端给 VDD 供电，那么 VDD

上的旁路电容也能起到对 OUT 脚的电压尖峰的抑制。如果 OUT 脚是由二极管箝位保护或者 VDD 脚由输入端供电，VDD 脚需要额外增加一个 100Ω、100nF 的去耦滤波器，而在大于 10A 的应用中，滤波电容应增加到 1μF。

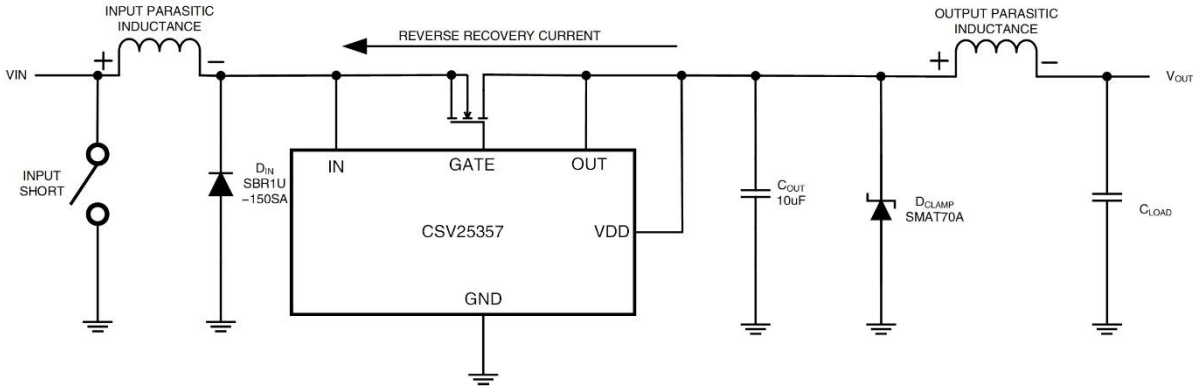


图 2：反向恢复在输入和输出引脚处产生感应尖峰
阶跃恢复尖峰的极性标注在了寄生电感上

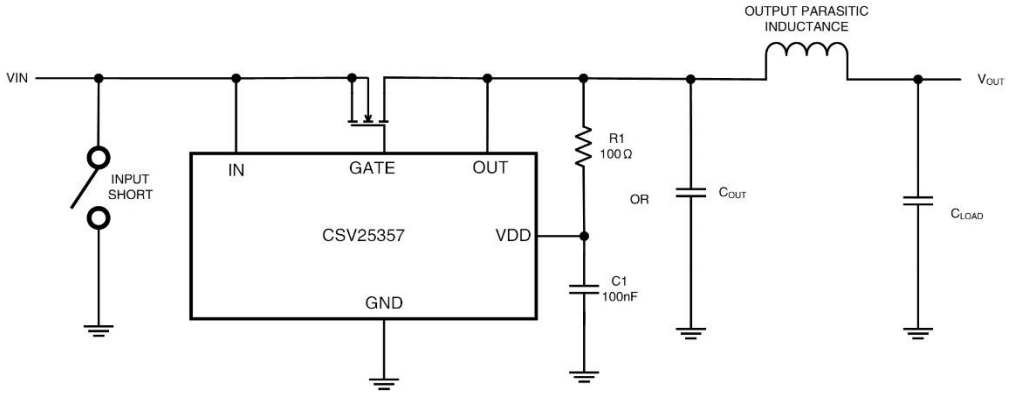


图 3：反向恢复期间防止 VDD 脚击穿电路

➢ **设计示例**

以下设计示例演示了在 12V、10A 最大负载电流的系统中如何选择器件的相关计算。首先，计算 MOSFET 的 RDS（ON），以实现满载时的理想正向压降。假设 VDROP = 0.1V，

$$R_{DS(ON)} \leq \frac{V_{DROP}}{I_{LOAD}} = \frac{0.1V}{10A}$$

$$R_{DS(ON)} = 10m\Omega$$

如 S8 封装的 Si4874DY，其 RDS（ON）=10mΩ（最大值），BVDSS 为 30V。MOSFET 的最大功耗为：$P=I_{LOAD}^2 \cdot R_{DS(ON)} = (10A)^2 \cdot 10m\Omega = 1W$。当旁路电容低于 39μF 时，推荐使用 100Ω第阿电阻和 0.1μF 的电容。由于 BVDSS+VIN 远小于 100V，因此不需要输出钳位。

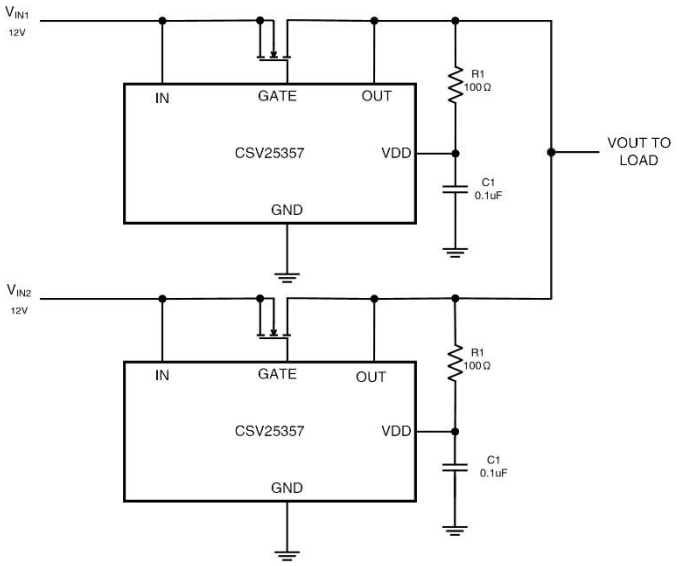


图 4：12V，10A 二极管 ORING 电路

➢ **布局注意事项**

布局时应尽量缩短 IN 脚和 OUT 脚到功率管管脚的距离，并保证功率管的走线尽可能的粗，以减小走线电阻的损耗，如下图所示。

对于 DFN 封装，当电压大于 30V 时应当考虑引脚间距的问题。检查爬电距离和电气间隙，确定这些参数否是违反设计规则。可以通过让散热焊盘保持开路来增加高压和接地引脚之间的间距，并使用免清洗焊料以尽量减少 PCB 污染。

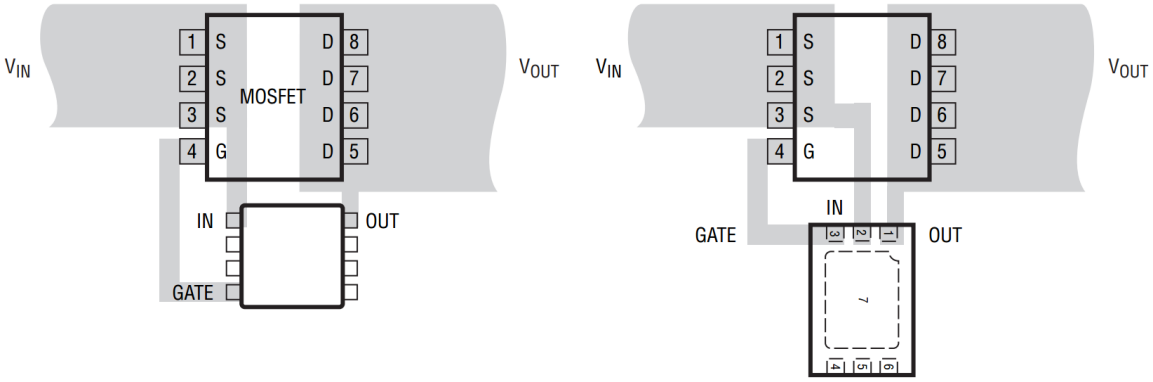
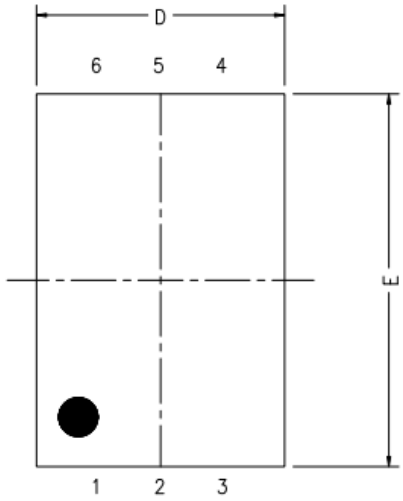


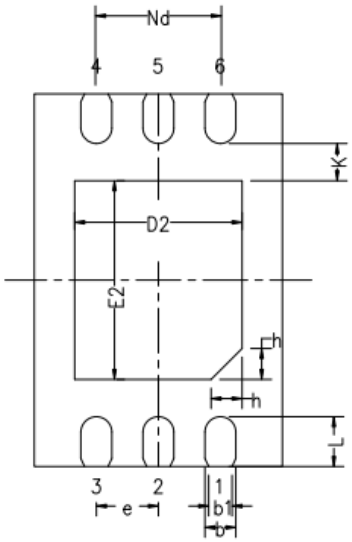
图 5：参考布局

封装外形图（1）

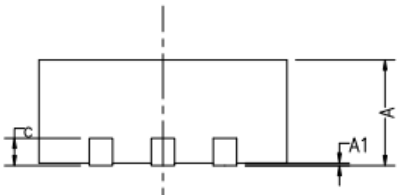
DFN2×3-6L



顶视图



底视图

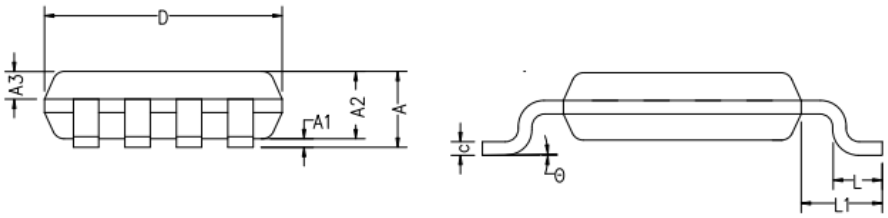


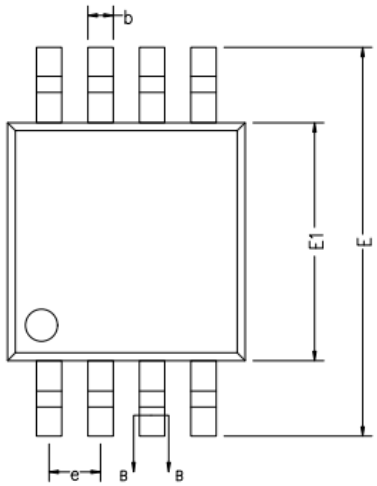
侧视图

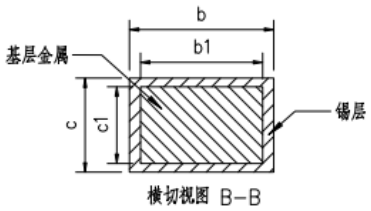
符号	单位(毫米)		
	最小值	常规值	最大值
A	0.70	0.75	0.80
A1	0.00	0.02	0.05
b	0.20	0.25	0.30
b1	参考值0.180		
c	参考值0.203		
D	1.90	2.00	2.10
D2	1.25	1.35	1.45
e	理论值0.05		
Nd	理论值1.00		
E	2.90	3.00	3.10
E2	1.50	1.60	1.70
L	0.30	0.40	0.50
K	参考值0.30		
h	0.20	0.25	0.30

封装外形图（2）

MSOP8







符号	单位(毫米)		
	最小值	常规值	最大值
A	–	–	1.10
A1	0.05	–	0.15
A2	0.75	0.85	0.95
A3	0.30	0.35	0.40
b	0.28	–	0.36
b1	0.27	0.30	0.33
c	0.15	–	0.19
c1	0.14	0.15	0.16
D	2.90	3.00	3.10
E	4.70	4.90	5.10
E1	2.90	3.00	3.10
e	理论值0.65		
L	0.40	–	0.70
L1	参考值0.95		
θ	0°	–	8°

重要声明

苏州锴威特半导体股份有限公司保留更改规格的权利，恕不另行通知。苏州锴威特半导体股份有限公司对任何将其产品用于特殊目的的行为不承担任何责任。苏州锴威特半导体股份有限公司没有为用于特定目的产品提供使用和应用支持的义务。苏州锴威特半导体股份有限公司不会转让其专利许可以及任何其他的相关许可权利。